

(4) Japanese Patent Application Laid-Open No. 58-124243 (1983):
"METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE"

The following is an extract relevant to the present application.

5

A method of manufacturing a MOS transistor comprising a step of forming a first oxide film 33 having a thickness of 500 Å, a polycrystalline silicon layer 34 having a thickness of 3000 Å and a silicon nitride film 35 having a thickness of 2000 Å in order on a silicon layer 32 on a sapphire substrate 31.

10

⑫ 公開特許公報 (A)

昭58—124243

⑪ Int. Cl.³H 01 L 21/76
27/12
29/78

識別記号

庁内整理番号

8122—5F
8122—5F
7377—5F

⑬ 公開 昭和58年(1983) 7 月23日

発明の数 1
審査請求 未請求

(全 6 頁)

⑭ 半導体装置の製造方法

⑰ 特 願 昭57—7933

⑱ 出 願 昭57(1982) 1 月21日

⑲ 発 明 者 松村 啓

川崎市幸区堀川町72番地東京芝
浦電気株式会社堀川町工場内

⑲ 発 明 者 前口賢二

川崎市幸区堀川町72番地東京芝
浦電気株式会社堀川町工場内

⑳ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 鈴江武彦 外 2 名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

絶縁基板上にシリコン層を形成する工程と、
該シリコン層上に互いに重なるシリコンパター
ン及び耐酸化性膜パターンを第1の酸化膜を介
して形成する工程と、該耐酸化性膜パターンの
一部を選択的に除去する工程と、酸化性雰囲気
中で熱処理を施すことにより第1の酸化膜が露
出した前記シリコン層領域に前記絶縁基板に達
する第2の酸化膜を、シリコンパターンが露出
した領域に少なくとも前記第1の酸化膜に達し、
前記絶縁基板に達しない第3の酸化膜を夫々形
成する工程とを具備したことを特徴とする半導
体装置の製造方法。

3. 発明の詳細な説明

発明の技術分野

本発明は絶縁基板上に形成される半導体装置
の製造方法に関する。

発明の技術的背景とその問題点

絶縁基板上に形成される半導体装置は例えば
SOS (Silicon on Sapphire) 構造として知ら
れている。

例えば n チャネル SOS/MOS トランジスタは第
1 図 (a) (b) に示す如き構造を有している。図中 1
はサファイア基板であり、このサファイア基板
1 上にはフィールド酸化膜 2 によって電気的に
分離された p 型単結晶シリコン層が形成されて
いる。このシリコン層には n⁺型のソース、ドレ
イン領域 3, 4 が設けられている。これらソー
ス、ドレイン領域 3, 4 間の半導体基部 5 上
にはゲート酸化膜 6 を介してゲート電極 7 が設け
られている。

上述した SOS/MOS トランジスタでは動作時
において半導体基部 5 が電気的に浮遊状態である
ため、その電位がゲート及び p - n 接合を介し
てのキャパシタンス・カップリングによって変
動し、回路特性に悪影響を及ぼす。

そこで第 2 図 (a) ~ (e) に示す如き方法により半

導体基部の電位を固定することが行われている。まず、サファイア基板 11 上に p 型単結晶シリコン層 12 を形成する。次にこのシリコン層 12 上にシリコン窒化膜パターン 13 を形成する(第 2 図(a)図示)。この際、 Si_3N_4 膜パターン 13 とシリコン層 12 との間に酸化膜を設けることもある。次に、露出したシリコン層 12 をエッチングして最初の厚さの半分程度にまで減少させる(第 2 図(b)図示)。次に、シリコン窒化膜パターン 13 の一部を選択的にエッチング除去する(第 2 図(c)図示)。次に、酸化性雰囲気中で熱処理を施すことによりシリコン層 12 を一部エッチング除去した領域ではサファイア基板 11 に達する素子分離のための第 1 の酸化膜 14 を、シリコン窒化膜パターン 13 の一部をエッチング除去した領域ではサファイア基板 11 に達しない第 2 の酸化膜 15 を夫々形成する(第 2 図(d)図示)。次いで、シリコン窒化膜パターン 13 を除去する。つづいて、露出したシリコン層 12 表面に薄い熱酸化膜を形成し、

-3-

薄くなりつつあり、 $0.6\ \mu\text{m}$ 以下の薄いシリコン層を使用する傾向にある。このように薄いシリコン層を使用するようになってくると、上述した従来方法では酸化性雰囲気中での熱処理工程で第 2 の酸化膜 15 とサファイア基板 11 との間に配線となるシリコン層 22 を残存させることが困難となり、また残存するシリコン層 22 は厚さが薄いため、その抵抗値が高くなるという問題点がある。

-5-

全面に例えばリンドーブ多結晶シリコン膜を堆積する。つづいて、この多結晶シリコン膜をパターンニングしてゲート電極 16 を形成し、このゲート電極 16 をマスクとして前記熱酸化膜をエッチングしてゲート酸化膜 17 を形成する。つづいて、n 型不純物、例えばリンをイオン注入して図示しないソース、ドレイン領域を形成する。つづいて、全面に CVD- SiO_2 膜 18 を堆積し、コンタクトホール 19 …を開孔した後、全面に Al 膜を蒸着し、この Al 膜をパターンニングして Al 配線 20 …を形成して n チャネル SOS/MOS トランジスタを製造する(第 2 図(e)図示)。

以上のような方法で SOS/MOS トランジスタのソース、ドレイン領域間の半導体基部 21 を配線となる第 2 の酸化膜 15 下のシリコン層(配線層) 22 及び基部取出し領域 23 を通して外部電極に接続することができ、その電位を固定することができる。

ところで、近年半導体素子の高密度化に伴いサファイア基板上のシリコン層の厚さは次第に

-4-

発明の目的

本発明は半導体素子の高密度化に伴って絶縁基板上のシリコン層が薄くなる傾向に対応しつつ、半導体基部の浮遊状態を解消して回路特性を向上した半導体装置の製造方法を提供することを目的とするものである。

発明の概要

本発明は以下の工程を具備することを特徴とする。

まず、絶縁基板上にシリコン層を形成した後、このシリコン層上に互いに重なるシリコンパターン及び耐酸化性膜パターンを第 1 の酸化膜を介して形成する。ここに用いる絶縁基板としてはサファイア、スピネル、二酸化シリコン等の酸化膜、シリコン窒化膜等が挙げられる。また、シリコンパターンとして用いられるシリコンは単結晶でも、多結晶でも、非晶質のものでもよい。また耐酸化性膜としてはシリコン窒化膜、 Al_2O_3 膜等が挙げられる。

次に、耐酸化性膜パターンの一部を選択的に

-6-

除去した後、酸化性雰囲気中で熱処理を施すことにより第1の酸化膜31が露出した前記シリコン層領域に前記絶縁基板に達する第2の酸化膜を、シリコンパターンが露出した領域に少なくとも前記第1の酸化膜に達し、前記絶縁基板に達しない第3の酸化膜を夫々形成する。

第3の酸化膜が形成される領域では、素子分離のための第2の酸化膜が形成される領域よりも、シリコンパターンの厚さだけ酸化されるシリコンの厚さが厚い。このため絶縁基板上のシリコン層の厚さが薄くなっても第3の酸化膜と絶縁基板との間に充分厚いシリコン層を残存させることができる。したがって、この残存したシリコン層を配線として利用することによって、ソース、ドレイン領域間の半導体基部の電位を固定でき、回路特性を向上させることができる。

発明の実施例

本発明をnチャネルSOS/MOSトランジスタの製造に適用した一実施例を第3図(a)~(f)、第4図及び第5図を参照して説明する。

-7-

次いで、酸化性雰囲気中で熱処理を施した。この際、第1の酸化膜31が露出した前記シリコン層32領域に前記サファイア基板31に達する第2の酸化膜38が、多結晶シリコンパターン37が露出した領域に少なくとも前記第1の酸化膜31に達し、サファイア基板31には達しない第3の酸化膜39が夫々形成された。この時、第3の酸化膜39下のシリコン層32にはp型不純物、例えばボロンがイオン注入してあり、配線となる低抵抗のp⁺型不純物層40も形成される。(第3図(d)図示)

次いで、シリコン窒化膜パターン36、多結晶シリコンパターン37及び第1の酸化膜31を順次除去した後、露出したシリコン層表面に薄い熱酸化膜を形成した。つづいて、全面に例えばリンドープ多結晶シリコン膜を堆積し、この多結晶シリコン膜をパターンニングしてゲート電極41を形成した。つづいて、ゲート電極41をマスクとして前記熱酸化膜をエッチングしてゲート酸化膜42を形成した。この際、ゲ-

-9-

まず、サファイア基板31上に厚さ4000Åのp型単結晶シリコン層32をエピタキシャル成長させた。次に、このシリコン層32上に厚さ500Åの第1の酸化膜33、厚さ3000Åの多結晶シリコン層34及び厚さ2000Åのシリコン窒化膜35を順次形成した(第3図(a)図示)。

次いで、写真蝕刻法により前記シリコン窒化膜35及び多結晶シリコン層34の一部を選択的に順次除去して、シリコン窒化膜パターン36及び多結晶シリコンパターン37を形成し、第1の酸化膜33の一部を露出させた(第3図(b)図示)。

次いで、写真蝕刻法により前記シリコン窒化膜パターン36の一部を選択的に除去して、多結晶シリコンパターン37の一部を露出させた(第3図(c)図示)。

-8-

ト電極41が形成されるシリコン層領域以外の第2の酸化膜38と第3の酸化膜39間の熱酸化膜も除去され、両酸化膜38、39間のシリコン層32領域が露出した(第3図(e)図示)。

次いで、素子形成領域以外にホトレジストパターンを被覆し、このホトレジストパターン及び前記ゲート電極41をマスクとしてn型不純物、例えばリンをイオン注入してn⁺型のソース、ドレイン領域43、44及びソース、ドレイン領域間の半導体基部45を形成した。つづいて、第2の酸化膜38と第3の酸化膜39間のシリコン層32領域以外にホトレジストパターンを被覆してp型不純物、例えばボロンをイオン注入してp⁺型の基部取出し領域46を形成した。つづいて、全面にCVD-SiO₂膜47を堆積し、コンタクトホール48を開孔した後、全面にAL膜を蒸着し、このAL膜をパターンニングしてゲート電極41のAL配線49及び基部取出し領域46のAL配線50を形成し、nチャネルSOS/

-10-

MOSトランジスタを製造した(第3図(f)、第4図及び第5図図示)。なお、第4図は第3図(f)の平面図、第5図は第4図のV-V線に沿う断面図である。

しかして、上記方法によればサファイア基板31上に設けられるシリコン層32の厚さが4000Åと非常に薄いにもかかわらず、第3の酸化膜39とサファイア基板31との間に配線となる充分厚い p^+ 型不純物層40を残存させることができる。このため、 p^+ 型不純物層40及び基部取出し領域46を通して、ソース、ドレイン領域43、44間の半導体基部45を低抵抗で外部に取出すことができ、その電位を固定することができるので回路特性を向上させることができた。しかも、配線となる p^+ 型不純物層40上の第3の酸化膜39は厚いので、この上の配線とシリコン層との間の浮遊容量は小さくなり伝搬速度等の回路特性が悪化することはない。

なお、本発明は上記実施例の如くSOS構造の

-11-

膜パターン、37…多結晶シリコンパターン、38…第2の酸化膜、39…第3の酸化膜、40… p^+ 型不純物層(配線)、41…ゲート電極、42…ゲート酸化膜、43、44…ソース、ドレイン領域、45…半導体基部、46…基部取出し領域、47…CVD- SiO_2 膜、48…コンタクトホール、49、50…Al配線。

出願人代理人 弁理士 鈴 江 武 彦

半導体装置に限らず、三次元回路素子の如く SiO_2 膜上のシリコン層に半導体素子を形成する場合にも同様に適用できる。

発明の効果

本発明によれば半導体素子の高密度化に伴って絶縁基板上のシリコン層が薄くなる傾向に対応しつつ、半導体基部の浮遊状態を解消して回路特性を向上した半導体装置の製造方法を提供できるものである。

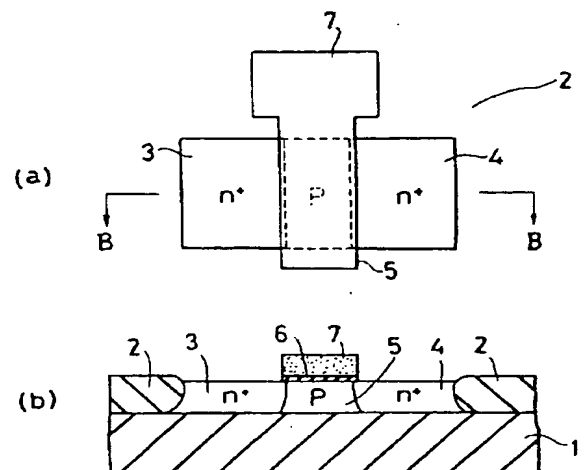
4. 図面の簡単な説明

第1図(a)は従来のSOS/MOSトランジスタの平面図、同図(b)は同図(a)のB-B線に沿う断面図、第2図(a)~(e)は従来の半導体基部の電位を固定したSOS/MOSトランジスタの製造方法を工程順に示す断面図、第3図(a)~(f)は本発明の実施例におけるSOS/MOSトランジスタの製造方法を工程順に示す断面図、第4図は第3図(f)の平面図、第5図は第4図のV-V線に沿う断面図である。

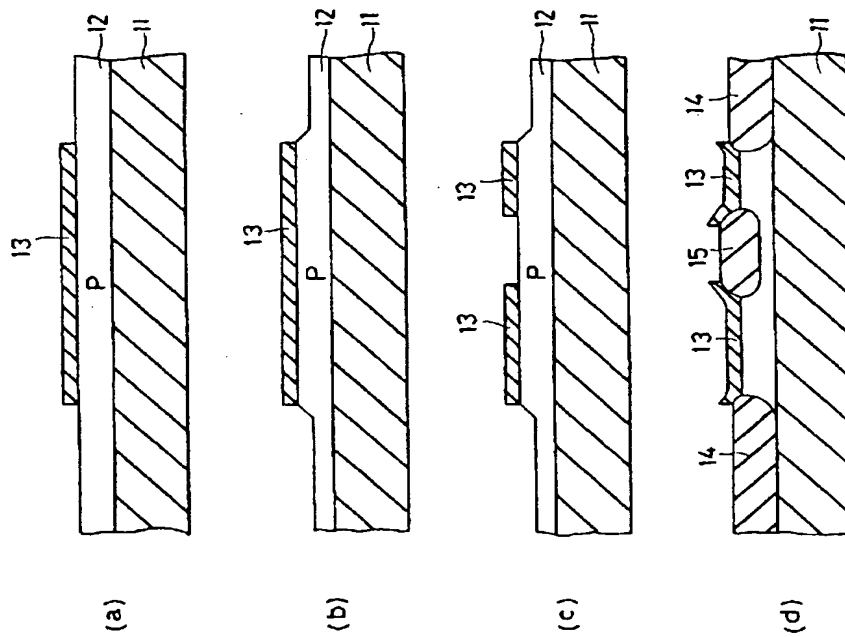
31…サファイア基板、32… p 型シリコン層、33…第1の酸化膜、36…シリコン酸化

-12-

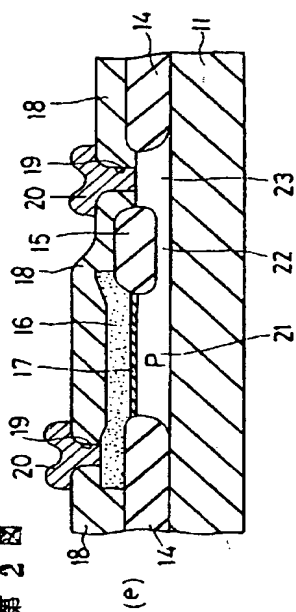
第1図



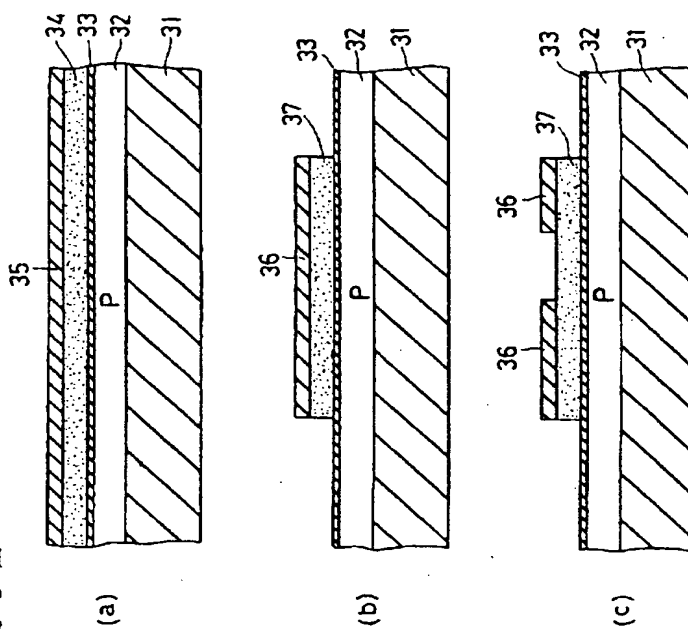
第 2 図



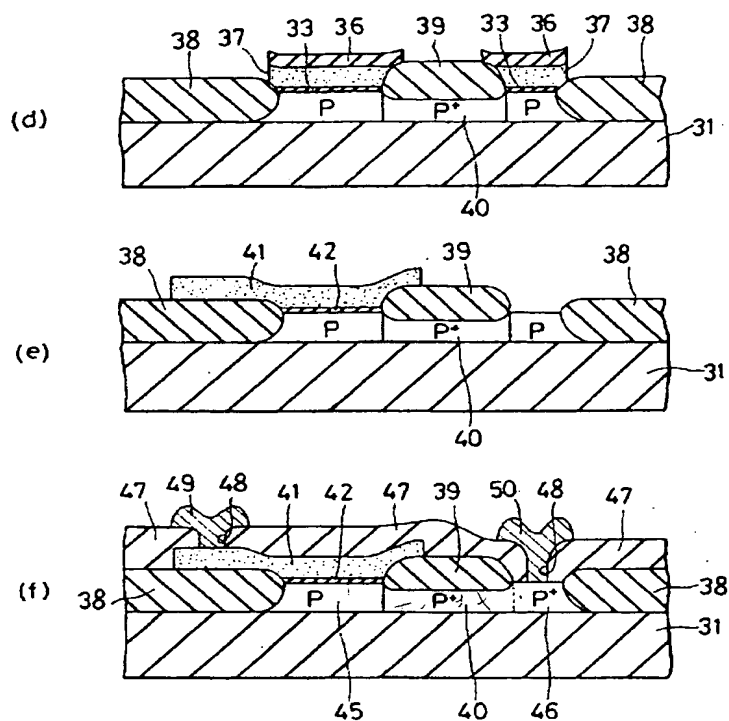
第 2 図



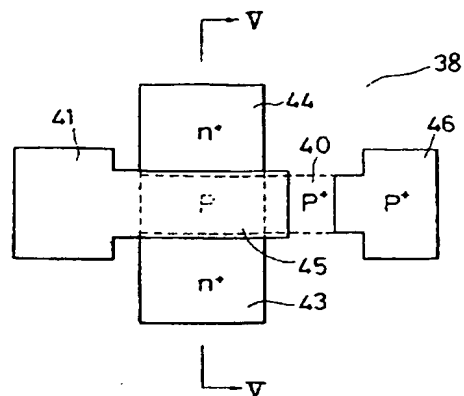
第 3 図



第 3 図



第 4 図



第 5 図

